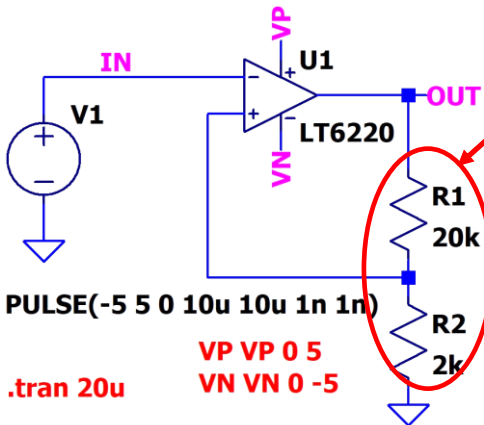


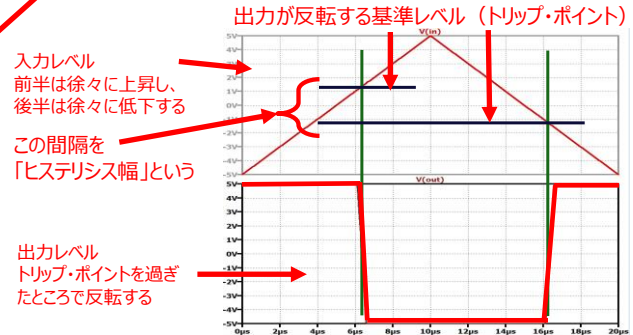
# シュミット回路のヒステリシス特性のプロット

シュミット回路のヒステリシス特性をプロットするいくつかの方法を紹介する。

まず、シュミット・インバータをOp.Amp.を使って実現する回路を示す。 .TRAN解析で、全体の様子を見る。



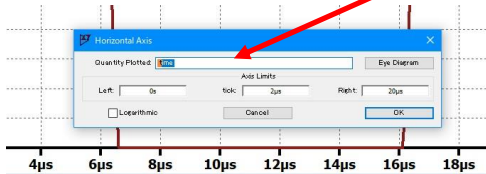
Op.Amp.はゲインを決める帰還回路はつげず、入力レベルを反転し、出力はレール (+/-電源) でクランプするようになっている。ただし、入力が参照する基準電圧が、出力レベルを分圧した値に設定されるので、出力電圧が反転するごとに、基準電圧が変化し、反転の遷移する電圧が変化する。



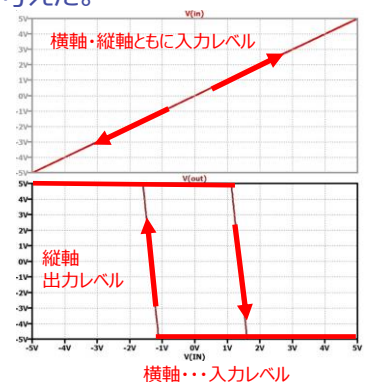
# ヒステリシスの静特性と動特性

シュミット回路は、当然ながら能動素子を利用するので、伝播遅延やスルー・レートの影響を受ける。ここで「静特性」と呼んでいるのは、入力信号の立ち上がり・立ち下りの遷移スピードの影響が出ない条件の特性を指す。もし、この影響が出るようであれば...実際にはこのような条件が一般的かもしれないが、このようなヒステリシス特性を「動特性」と呼ぶことにした。この表現は、一般的ではないが、本稿の説明に都合がよいと考えた。

- ◆ 前ページで示したシミュレーションでは、出力の遷移する波形に傾きがあるので、スルー・レートの影響を受けている。
- ◆ この波形をもとに、ヒステリシス特性を表示するには、グラフ・ペインの横軸の目盛りの上にカーソルを持っていき、「ものさし型アイコン」になったところで右クリックし、「Quantity Plotted」の窓の中の「time」を「V(IN)」に書き換えることで、ヒステリシスの入出力特性を表示できる。



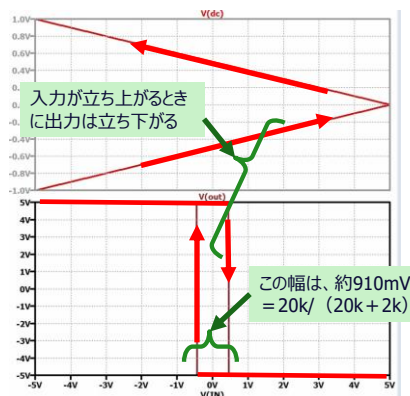
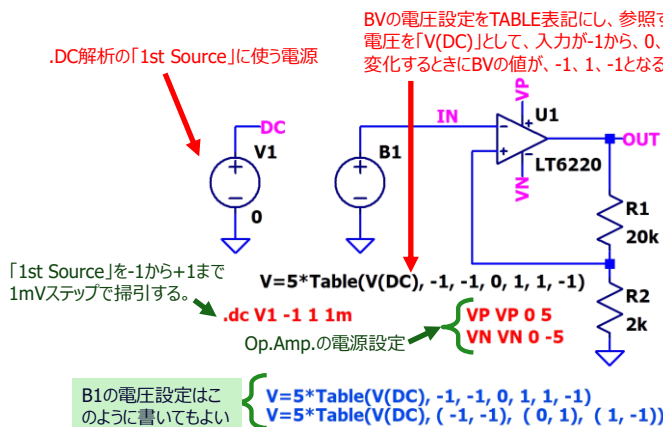
右のグラフは、ヒステリシス特性を示しているが、遷移部分が傾いており、完全な「静特性」ではない。



# ヒステリシスの静特性の表示手法

では、完全なヒステリシスの「静特性」をシミュレーションするには、どうするか？

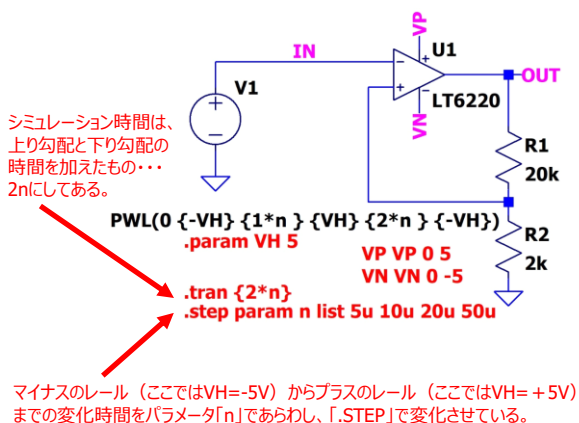
一言でいえば、「.TRAN解析」を使わず、「.DC解析」をすればよい・・・ということになる。しかし、ヒステリシス特性をシミュレーションするには、DC掃引を「低い方から高い方」だけではなく、「高い方から低い方」にも変化させなければならないので、ひと工夫が必要になる。以下にその回路例を示す。



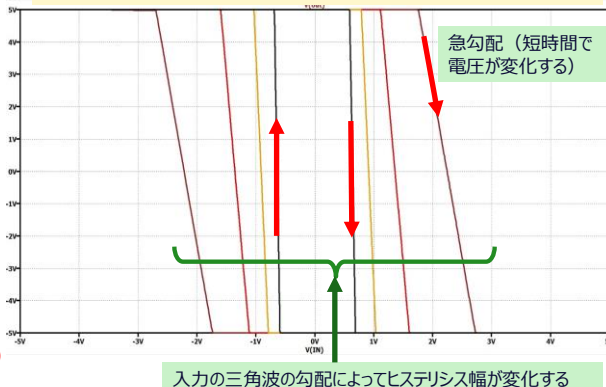
# ヒステリシスの動特性の例

実際の回路条件では、最初に述べたように、信号の立ち上がり・立ち下りの勾配に依存する。この勾配の違う特性を「.STEP」を使って、一つのグラフの中に同時に表示する手法を以下に示す。

勾配の違う入力波形（三角波）を作るには、「PWL」を利用することが簡便である。ここでは、PWLの山と谷の時間を「.STEP」で変化させ、同時にそのパラメータを使って「.TRAN」の「Stop time」も変化させる。

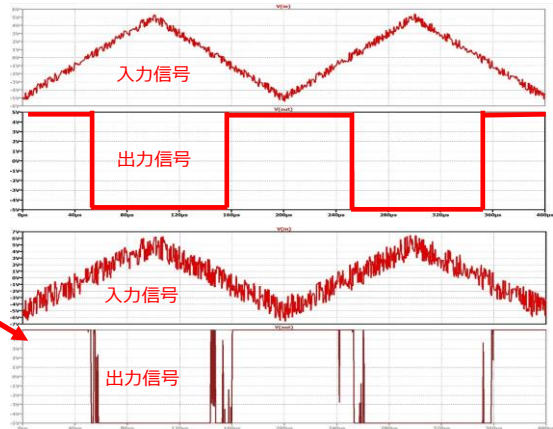
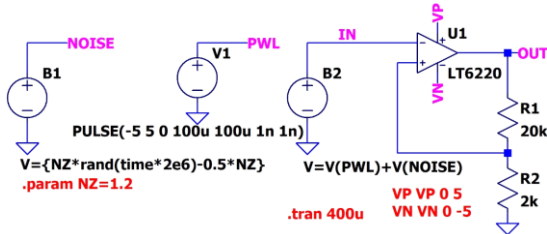


1ページに示した方法で、横軸をV(IN)に変更して表示している。



# シュミット回路のヒステリシス特性の効果

シュミット回路の入力信号に何らかのノイズが重畳している場合にどのような効果があるか、シミュレーションで確認してみる。ノイズは一樣乱数（区間[0,1]）で生成し、それに定数を掛けてノイズの振幅を設定している。ここでは、ヒステリシス幅（この回路では約910mV）よりも大きな1.2Vを使っているが、出力にはノイズの影響は出ていない。理由は、アンプのスルー・レートに対し、ノイズの変化が速いこと、乱数の発生確率で、両端の機会が少ないことが考えられる。



入りに重畳するランダム・ノイズの振幅を4Vppにした場合、H-L、L-Hの遷移の途中で、出力にもノイズが生じていることがわかる。

信号伝送系の受信端に、適切なヒステリシス幅を設定した「シュミット回路」を置くことで、ノイズのない整形された信号を得ることができる。