

BUS 表記

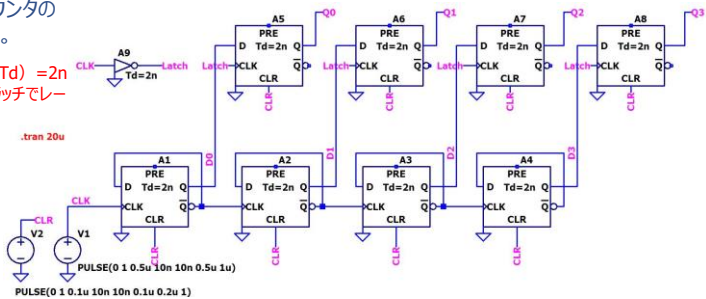
配線だけではなく部品にも・・・

マイコンやFPGAなどを使った回路図では、データ・ラインやアドレス・ラインが複数あるものを「BUS（バス）」と呼び、回路図中では、これ等の複数の配線をひとまとめにして取り扱うことがある。LTspiceでも、1本の配線に番号付けした信号などをまとめることができる。また、この番号付けは配線だけでなく、1つの部品を配置して、その部品名称に番号付けをすることで、同じ部品を複数配置することと同等の機能を持たせることができる。

例題として、4ビットの2進カウンタを作り、クロックの立ち上がりでカウント・アップし、立下りで、カウンタの各ビットの出力をラッチする回路を取り上げる。

回路要素 (dflop, inv) にそれぞれ、伝播遅延時間 (Td) = 2n秒を設定してある。遅延時間がないと、カウンタあるいはラッチでレーシングを起こし、エラーになる。

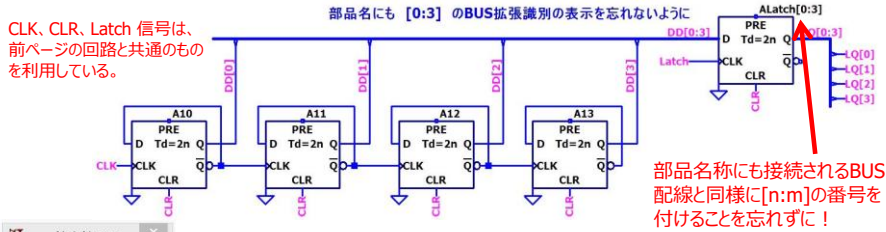
回路図中の信号名
 CLK・・・カウント・クロック
 Latch・・・CLKの極性を反転しラッチ・クロックにする
 CLR・・・シミュレーション開始直後にカウンタを0にクリアする
 D0-D3・・・カウンタの出力データ
 Q0-Q3・・・各ビットのラッチ出力



BUS 表記で回路図の簡素化

BUS表記を使って、データ・ラッチ部分を書き換えると、下図のようになる。

CLK、CLR、Latch 信号は、前ページの回路と共通のものを利用してはいる。



Net Name dialog box showing the bus name DD[0:3] and the part type None.

配線をBUS表記にするには、「Label Net」(ホット・キー：F4) を使って、配線の信号名 (たとえば「DD」) に続けて信号の本数に応じた標識を [0:3] のようにつける。始まりの番号は0でなくてもよいが、必ず正の整数で始め、1ずつ増加 (または減少でもよいが、負にならないようにする) し、必要な本数の最後の値を設定する。

すると、BUSの本数分の信号を括弧でもよいが・・・という確認の窓が開くので、「はい(Y)」をクリックする。

BUSから個別の信号線を引きだすときは、メニューのEditからプルダウンし、「Place BUS tap」をクリックし、BUS配線に接続する。個別の信号名には信号名とともに[番号]を付ける (上の回路図参照)。

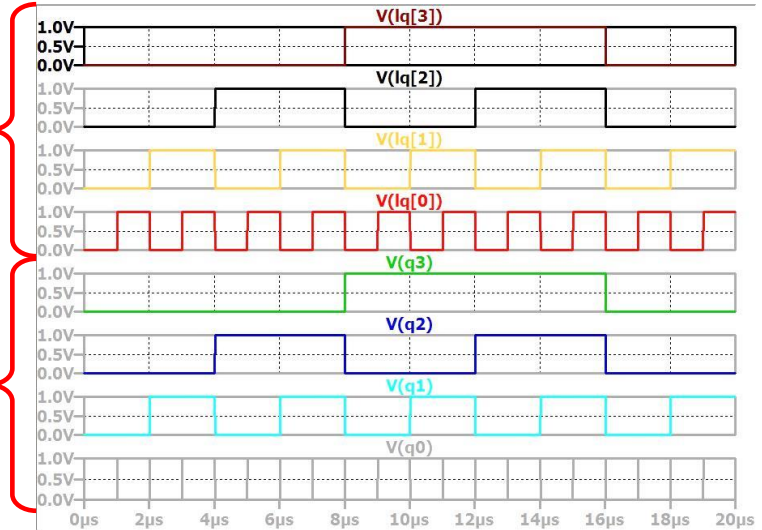
LTspice menu showing the 'Label Net' (F4) and 'Place BUS tap' options.

BUS 表記のシミュレーション結果 (比較)

それぞれの回路図のラッチ出力のシミュレーション結果。完全に一致していることがわかる。

BUS表記のシミュレーション結果

通常の回路図によるシミュレーション結果



BUS 表記によるトランジスタ回路の例

トランジスタの並列接続に、部品名称をBUS表記で表すことは、SPICE系のシミュレーションでは時々利用される。トランジスタ記号を1つだけ回路図中に置き、入力信号にそれぞれ異なる波形を入れ、出力を個別に取り出す回路図表記法を紹介する。

BUS表記法は必ずしもロジック回路だけのものではない

Menue -> Edit -> Place BUS tap

信号線 (ベース抵抗につながる配線) もBUS表記にできる。

ベース抵抗もBUS表記を使って4本をまとめて書いてある。

信号源に、異なる波形を用意し、BUS-tapを使って接続する。

SINE(1.2 0.4 1k)
PULSE(3 0 2m 1u 1u 1m 2m)

ベースも個別の信号として分離しなければならぬので、BUS表記にする。

電源はひとまとめでよいので、BUS表記にしないでよい。

コレクタ抵抗もBUS表記を使って4本をまとめて書いてある。

トランジスタもBUS表記を使って4本をまとめて書いてある。

エミッタはひとまとめでGNDに接続してよいので、BUS表記にしないでよい。

BUS 表記のシミュレーション結果

